

⑩ 日本国特許庁 (JP)

⑪ 特許出願公開

⑫ 公開特許公報 (A)

昭55—145439

⑬ Int. Cl.³
H 03 K 23/08
23/04

識別記号

庁内整理番号
7232—5 J
7232—5 J

⑭ 公開 昭和55年(1980)11月13日

発明の数 2
審査請求 未請求

(全 7 頁)

⑮ 入力制御型バイナリカウンタ回路

⑯ 特 願 昭54—52331

⑰ 出 願 昭54(1979)4月27日

⑱ 発 明 者 高田実

川崎市幸区小向東芝町1番地東
京芝浦電気株式会社トランジス
タ工場内

⑲ 発 明 者 鈴木八十二

川崎市幸区小向東芝町1番地東
京芝浦電気株式会社トランジス
タ工場内

⑳ 出 願 人 東京芝浦電気株式会社

川崎市幸区堀川町72番地

㉑ 代 理 人 弁理士 鈴江武彦 外2名

明 細 書

1. 発明の名称

入力制御型バイナリカウンタ回路

2. 特許請求の範囲

(1) 第1のCMOSインバータの入、出力端を第2のCMOSインバータの出、入力端に接続してなる第1のフリップフロップ要素、前記第1のCMOSインバータの出力端と第1の電位供給端との間に第1チャネル型の第1、第2、第3のMOSトランジスタを、前記第2のCMOSインバータの出力端と第1の電位供給端との間に第1チャネル型の第4、第5、第6のMOSトランジスタをそれぞれ直列介挿してなる第1、第2の直列回路を有したマスターフリップフロップと、第3のCMOSインバータの入、出力端を第4のCMOSインバータの出、入力端に接続してなる第2のフリップフロップ要素、前記第3のCMOSインバータの出力端と第2の電位供給端との間に第2チャネル型の第7、第8のMOSトランジスタを前記第4のCMOSインバータの出力端と第

2の電位供給端との間に第2チャネル型の第9、第10のMOSトランジスタをそれぞれ直列介挿してなる第3、第4の直列回路を有したスレーブフリップフロップとを具備し、タイミングパルスを第2、第5、第8、第10のMOSトランジスタのゲートに、第1のCMOSインバータの出力信号を第9のMOSトランジスタのゲートに第2のCMOSインバータの出力信号を第7のMOSトランジスタのゲートに、第3のCMOSインバータの出力信号を第1のMOSトランジスタのゲートに、第4のCMOSインバータの出力信号を第4のMOSトランジスタのゲートに入力制御信号を第2、第5のMOSトランジスタのゲートにそれぞれ供給したことを特徴とする入力制御型バイナリカウンタ回路。

(2) CMOSインバータ本体に第1チャネル型の第1、第2、第3のMOSトランジスタの並列回路を介挿してなる第1のCMOSインバータの入、出力端と、CMOSインバータ本体に第1チャネル型の第4、第5、第6のMOSトランジスタの並列

回路を介挿してなる第2のCMOSインバータの入力端とを接続してなる第1のフリップフロップ要素、前記第1のCMOSインバータの出力端と第1の電位供給端との間に第2チャネル型の第7、第8、第9のMOSトランジスタを、前記第2のCMOSインバータの出力端と第1の電位供給端との間に第2チャネル型の第10、第11、第12のMOSトランジスタをそれぞれ直列介挿してなる第1、第2の直列回路を有したマスターフリップフロップと、CMOSインバータ本体に第2チャネル型の第13、第14のMOSトランジスタの並列回路を介挿してなる第3のCMOSインバータの入出力端と、CMOSインバータ本体に第2チャネル型の第15、第16のMOSトランジスタの並列回路を介挿してなる第4のCMOSインバータの出、入力端とを接続してなる第2のフリップフロップ要素、前記第3のCMOSインバータの出力端と第2の電位供給端との間に第1チャネル型の第17、第18のMOSトランジスタを、前記第4のCMOSインバータの出力端と第2

3

従来、CMOS構成のバイナリカウンタ回路として、第1図の如きものが使用されていた。図において、Pチャネル型MOSトランジスタ1、2、Nチャネル型MOSトランジスタ3、4はクロックドインバータ21を構成する。Pチャネル型トランジスタ5、Nチャネル型トランジスタ6はインバータ22を構成する。Pチャネル型トランジスタ7、8、Nチャネル型トランジスタ9、10は帰還回路としてのクロックドインバータ23を構成する。Pチャネル型トランジスタ11、12、Nチャネル型トランジスタ13、14はクロックドインバータ24を構成する。Pチャネル型トランジスタ15、Nチャネル型トランジスタ16はインバータ25を構成する。Pチャネル型トランジスタ17、18、Nチャネル型トランジスタ19、20は帰還回路としてのクロックドインバータ26を構成する。Pチャネル型トランジスタ27、Nチャネル型トランジスタ28は上記各クロックドインバータを制御するためのクロック信号(タイミングバ

5

の電位供給端との間に第1チャネル型の第19、第20のMOSトランジスタをそれぞれ直列接続してなる第3、第4の直列回路を有したスレーブフリップフロップとを具備し、タイミングパルスを第3、第4、第9、第12、第14、第15、第17、第19のMOSトランジスタのゲートに、第1のCMOSインバータの出力信号を第16、第20のMOSトランジスタのゲートに、第2のCMOSインバータの出力信号を第13、第18のMOSトランジスタのゲートに、第3のCMOSインバータの出力信号を第1、第7のMOSトランジスタのゲートに、第4のCMOSインバータの出力信号を第6、第10のMOSトランジスタのゲートに入力制御信号を第2、第5、第8、第11のMOSトランジスタのゲートにそれぞれ供給したことを特徴とする入力制御型バイナリカウンタ回路。

3. 発明の詳細な説明

この発明は、CMOS(相補MOS型)集積回路化に適したバイナリカウンタ回路に関する。

4

ルス)CK, CKを得るインバータ29を構成する。

この第1図の回路において、初期状態をクロック信号="0"(アース電位)、クロックドインバータ24の出力 Q_{bc} ="1"(V_{DD} 電位)クロックドインバータ21の出力A="1"と定める。そうするとPチャネル型トランジスタ1、Nチャネル型トランジスタ4ともオフ(非導通)状態となるから、クロックドインバータ21は不動作状態となる。またトランジスタ7、10ともオン(導通)状態となるから、クロックドインバータ23は動作状態となる。またトランジスタ11、14ともオンするから、クロックドインバータ24は動作しトランジスタ17、20ともオフするからクロックドインバータ26は不動作となる。従つてインバータ22、23により、出力Aは"1"、出力Bは"0"を、クロック信号CK="0"の期間保持し、クロックドインバータ24が動作状態であることにより、出力 Q_{bc} は"1"を保持し、インバー

6

ク25により出力 \overline{Q}_{sc} は"0"である。

次にクロックCKが"1"に変化すると、クロックドインバータ21, 26は動作し、クロックドインバータ23, 24は不動作となることにより、 Q_{sc} は"1"でクロックドインバータ21が動作していることによりAは"1"から"0"に変化し、Bは"0"から"1"となる。

またクロックドインバータ24は不動作、クロックドインバータ26は動作状態にあるから Q_{sc} は"1"、 \overline{Q}_{sc} は"0"を保持する。次にクロックCKが"0"に変化すると、クロックドインバータ21, 26は不動作、クロックドインバータ23, 24は動作状態となり、Bが"1"であるから、クロックドインバータ24が動作状態であることにより Q_{sc} は"1"から"0"にクロックの立下り同期で変化することになる。

以下同様の変化を繰返すため、第1図の回路動作は第2図の波形図のようになる。

ところで、PLL方式の周波数シンセサイザに用いられるプリスケアラの様に周波数シフト機

能を持つ分周回路を構成する場合、カウント動作を一定期間中止できるようにしなければならない。このようにカウント動作を一定期間中止できるようなカウンタ回路を入力制御型カウンタ回路と称している。このような入力制御型カウンタ回路に第1図に示すような従来のバイナリカウンタ回路を用いた場合、クロック信号を制御するために、第3図に示すように制御信号Sおよびクロック信号CKが結合した制御ゲート(ナンドゲート)30が必要となる。

第3図に示す回路では $S=1$ のときにクロック入力端にクロック信号が与えられてバイナリカウンタ回路31でバイナリカウント動作が行なわれ、 $S=0$ のときには制御ゲート30の出力Yが"1"となつてカウント動作は中止される。しかしながら、制御ゲート30を用いた入力制御型バイナリカウンタ回路ではこの制御ゲート30によるクロック信号の遅れが生じてしまうために高速動作させた場合に誤動作を起こすことになり、したがって従来ではクロック

信号の周波数をあまり高くすることができないといった欠点がある。

この発明は上記のような事情を考慮してなされたものであり、その目的とするところは、高速動作が可能な入力制御型バイナリカウンタ回路を提供することにある。

以下、図面を参照して本発明の一実施例を説明する。

第4図は同実施例を示す回路図であり、クロック信号CK(タイミングパルス)の立下りで出力データが変化する立下り同期式の入力制御型バイナリカウンタ回路に適した場合の例である。第4図の回路は、大きく分けてマスターフリップフロップ回路41とスレーフフリップフロップ回路42で構成される。即ち、マスターフリップフロップ回路41ではNチャネル型MOSトランジスタ43、Pチャネル型MOSトランジスタ44からなるCMOSインバータ本体に、Pチャネル型MOSトランジスタ45, 46, 47の並列回路を直列介挿してCMOSインバータ48

を形成し、またNチャネル型MOSトランジスタ49、Pチャネル型MOSトランジスタ50からなるCMOSインバータ本体にPチャネル型MOSトランジスタ51, 52, 53の並列回路を直列介挿してCMOSインバータ54を形成している。CMOSインバータ48の入、出力端とCMOSインバータ54の出、入力端とは相接続され、これによりフリップフロップ要素55が構成される。CMOSインバータ48の出力端 Q_M とアース電位供給端(以下単にアースという)との間には、Nチャネル型MOSトランジスタ56, 57, 58が直列接続され、CMOSインバータ54の出力端 Q_M とアースには、Nチャネル型MOSトランジスタ59, 60, 61が直列接続される。

スレーフフリップフロップ回路42では、Pチャネル型MOSトランジスタ62、Nチャネル型MOSトランジスタ63からなるCMOSインバータ本体は、Nチャネル型MOSトランジスタ64, 65の並列回路を直列介挿してCMOSインバータ66を形成し、またPチャネル型MOSトランジスタ67、Nチャネル型MOSトラ

ンジスタ68からなるCMOSインバータ本体に、Nチャネル型MOSトランジスタ69、70の並列回路を直列介挿してCMOSインバータ71を形成している。CMOSインバータ66の入、出力端とCMOSインバータ71の出、入力端とは相接され、これによりフリップフロップ要素72が構成される。CMOSインバータ66の出力端 \overline{Q}_{sc} と V_{DD} 電位供給端(以下電源 V_{DD} と称す)との間には、Pチャネル型MOSトランジスタ73、74が直列接続され、CMOSインバータ71の出力端 \overline{Q}_{sc} と電源 V_{DD} 間にはPチャネル型MOSトランジスタ75、76が直列接続される。

また、トランジスタ47、51、58、61、65、69、73、75のゲートをクロック信号CKの供給端に接続し、CMOSインバータ48の出力端 \overline{Q}_M はトランジスタ70、76のゲートに接続し、CMOSインバータ54の出力端 Q_M はトランジスタ64、74のゲートに接続し、CMOSインバータ56の出力端 Q_{sc} はトランジスタ45、56のゲートに接続し、さらにCMOS

11

で“0”から“1”に変化しているから、トランジスタ70はオンしており、またトランジスタ68も \overline{Q}_{sc} が“1”でオンしているため、QBCは“1”から“0”に変化する。以下同様の動作を繰返すと、第5図のような動作波形図となり、従つて第4図の回路は $S = "1"$ のとき第1図と同様にCKのバイナリカウント動作をすることになる。

一方、 $Q_{sc} = "0"$ 、 $Q_M = "0"$ のときにSが“1”から“0”に変化すると、いままでオンしていたトランジスタ57、60がオフし、いままでオフしていたトランジスタ46、52がオンする。このとき $Q_M = "0"$ によりトランジスタ44がオンし、 $\overline{Q}_M = "1"$ によりトランジスタ49がオンしているのでCKが変化しても Q_M はトランジスタ46、44により“1”に保持され、さらに \overline{Q}_M はトランジスタ49により“0”に保持される。すなわち $S = "0"$ のときにはCKとは無関係にマスターフリップフロップ回路41は以前の状態を保持するため、第4図の

13

インバータ71の出力端QBCはトランジスタ53、59のゲートに接続する。またトランジスタ46、52、57、60のゲートを制御信号Sの供給端に接続する。

ここで第4図の回路動作を説明するに当たり、“0”をアース電位、“1”を V_{DD} 電位とし、その初期状態を $CK = "0"$ 、 $QBC = "1"$ 、 $Q_M = "1"$ を仮定する。いま制御信号 $S = "1"$ のときトランジスタ57、60はオン、トランジスタ46、52はオフとなる。この状態でCKが“0”から“1”に変化するとトランジスタ61がオンし、トランジスタ59はQBCが“1”であることにより、オンしており従つて、 Q_M は“1”から“0”に変化する。このためトランジスタ74はオンするがCKが“1”であることによりトランジスタ73はオフしているから、 \overline{Q}_{sc} は“0”、 Q_{sc} は“1”を保持する。次にCKが“1”から“0”に変化すると、トランジスタ73がオンして \overline{Q}_{sc} が“0”から“1”に変化し、 \overline{Q}_M はCKが“1”に変化したときにトランジスタ45、44を介し

12

回路は、第5図のようにバイナリカウント動作をしない。そして、Sが“1”に戻ると再びバイナリカウント動作が行なわれることになる。

このように第4図に示す回路では、クロック信号CKを制御ゲートを通すことなしに制御信号Sにより直接カウント動作を中止させることができるためにゲートによる遅れ時間を考慮する必要がなく、クロック信号CKの周波数を極めて高くして高速動作させても誤動作を起すことはない。

第6図は、この発明の第2実施例であり、クロック信号CKの立上りで出力データ Q_{sc} 、 \overline{Q}_{sc} が変化する立上り同期式の入力制御型バイナリカウンタ回路とした場合の例である。本実施例は、前記実施例と原理的に対応するので、対応し得る箇所には同一符号を用いつつこれにダッシュを付して説明を省略する。この場合の特徴はCKの立上りでデータを变化させるため、Nチャネル型MOSトランジスタ73'、75'にCKを供給するとともに、Nチャネル型MOSトラン

14

トランジスタ 46', 52' および Pチャネル型 MOS トランジスタ 57', 60' にインバータ 77 を介して制御信号 8 を供給するようにしたことにある。

第 7 図は本発明の第 3 実施例であり、回路の簡略化をはかった場合の例である。即ち第 4 図の回路から、トランジスタ 45, 46, 47, 51, 52, 53 及び 64, 65, 69, 70 を省略している。これでも前記第 5 図の波形図と対応した動作が得られる。この場合の構成も立下り同期式となる。なお、第 6 図の回路も第 7 図の場合と同様にして、回路の簡略化がはかれることは勿論である。

第 8 図は本発明の第 4 実施例であり、CK に無関係に一義的に出力 QBC, \overline{QBC} のレベルが定められるプリセット/クリア機能を例えば第 4 図の回路に付加したものである。即ちこの第 8 図の回路では、プリセット信号 Preset の供給ラインに付ずいするインバータ 78, 79 トランジスタ 80 ~ 85 が付加され、クリア信号 Clear の供給ラインに付ずいするインバータ 86, 87

トランジスタ 88 ~ 93 が付加されている。

なお、第 9 図、第 10 図、第 11 図はそれぞれ前記第 4 図、第 6 図、第 8 図に示す回路をシンボル化して示したものである。

以上説明したようにこの発明によれば、高速動作が可能な入力制御型バイナリカウンタ回路を提供することができる。

4. 図面の簡単な説明

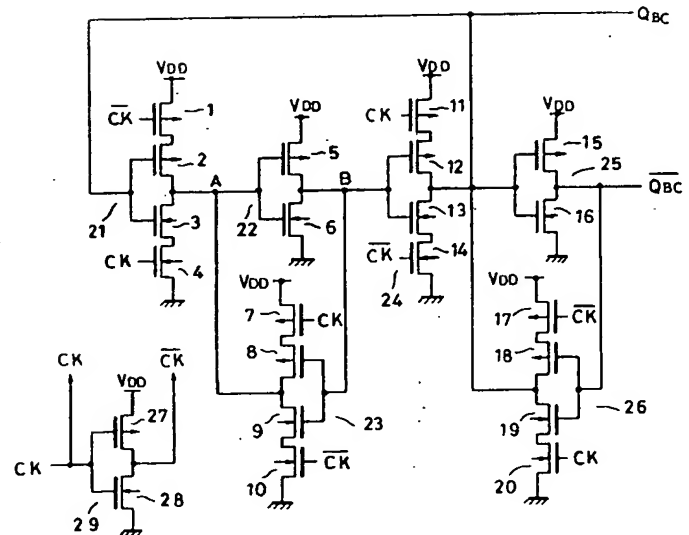
第 1 図は、従来のバイナリカウンタ回路の構成図、第 2 図は同回路の動作を示す信号波形図、第 3 図は従来の入力制御型バイナリカウンタ回路の構成図、第 4 図はこの発明の一実施例の構成図、第 5 図は上記実施例回路の動作を示す信号波形図、第 6 図ないし第 8 図はそれぞれこの発明の他の実施例の構成図、第 9 図ないし第 11 図はそれぞれ第 4 図、第 6 図、第 8 図の回路をシンボル化して示す構成図である。

41 ... マスターフリップフロップ回路、42 ... スレーブフリップフロップ回路、48, 54 ... 66, 71 ... CMOS インバータ、55, 72 ...

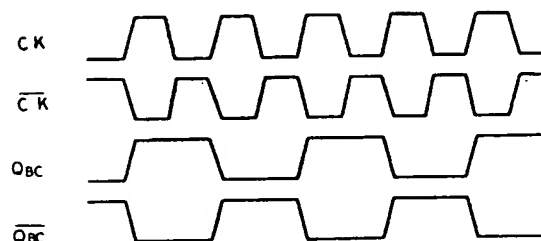
フリップフロップ要素。

出願人代理人 弁理士 鈴江武彦

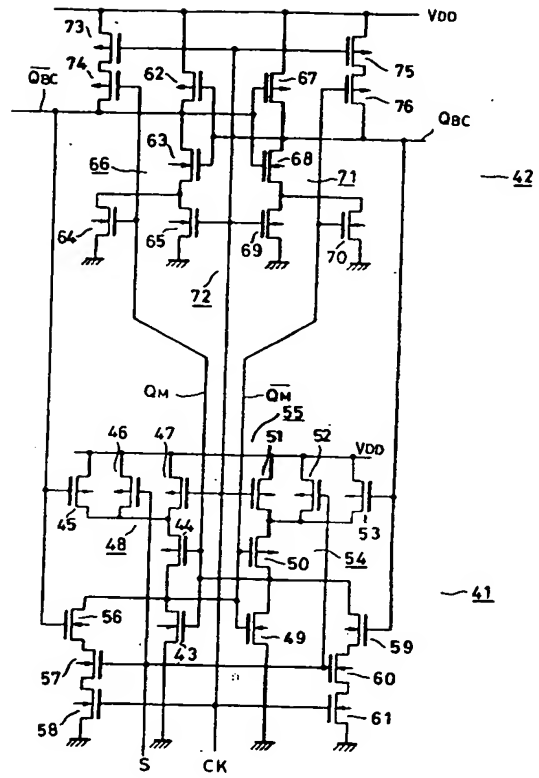
第 1 図



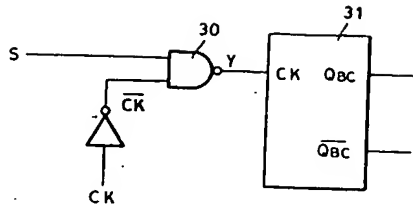
第 2 図



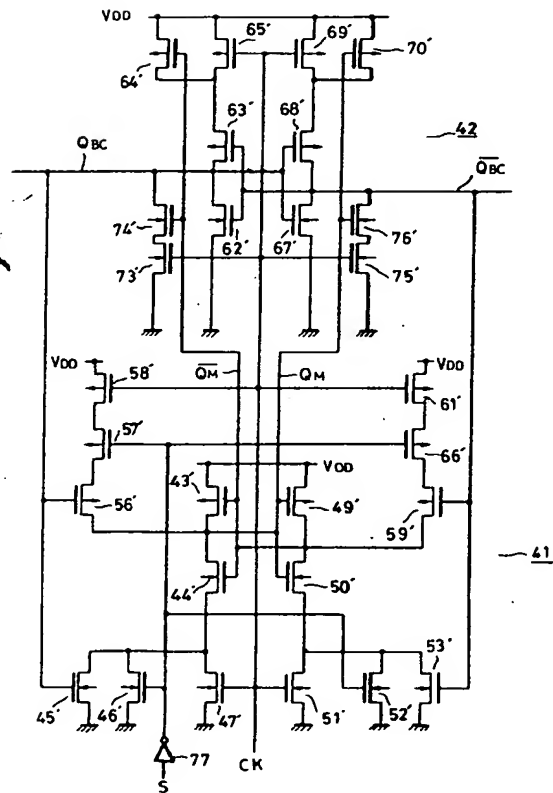
第 4 圖



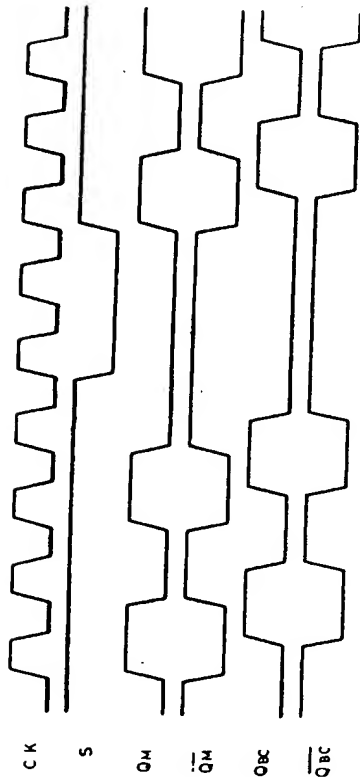
第 3 圖



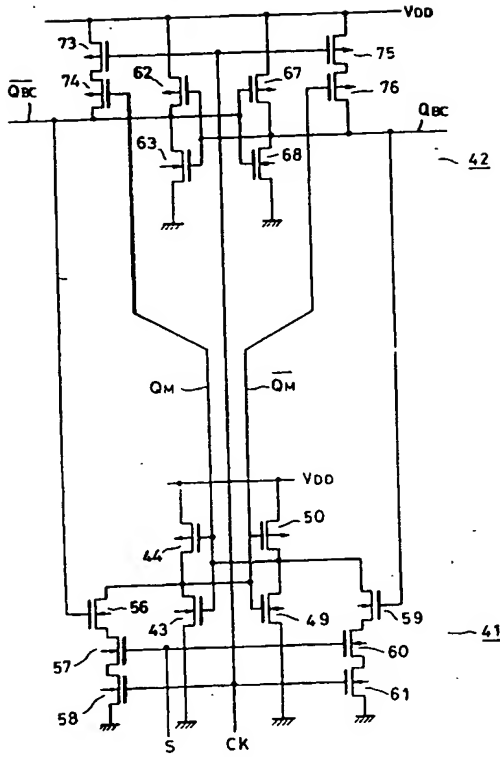
第 6 圖



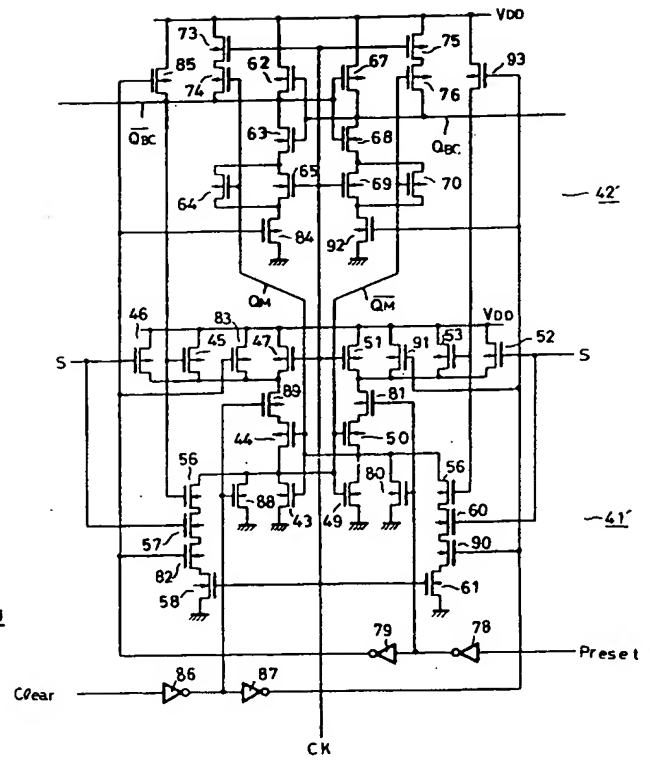
第 5 圖



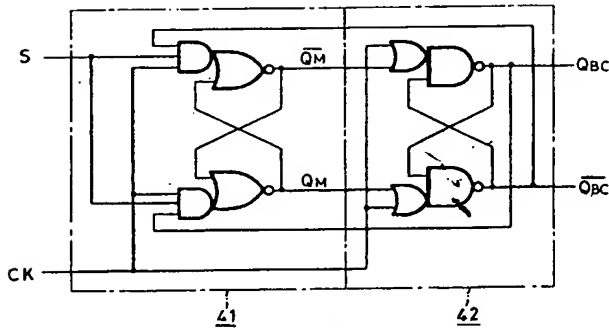
第 7 図



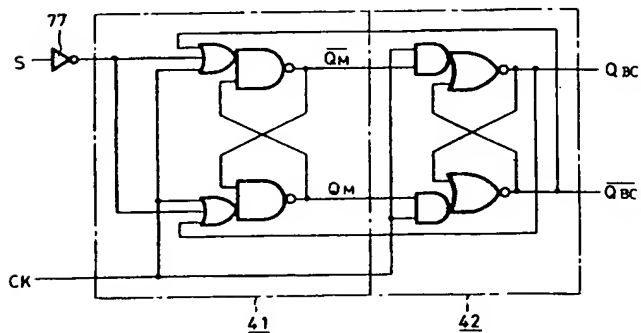
第 8 図



第 9 図



第 10 図



第 11 図

